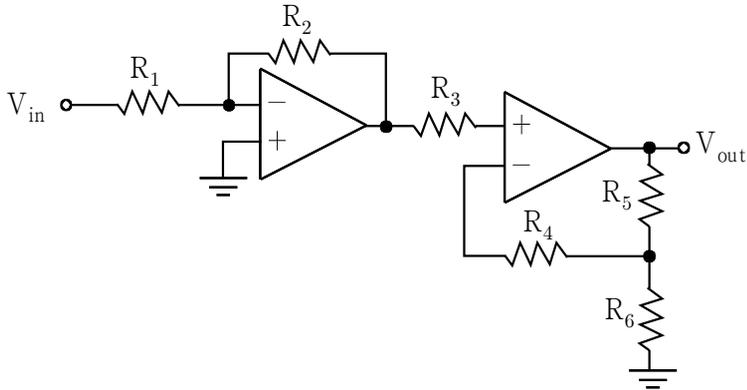


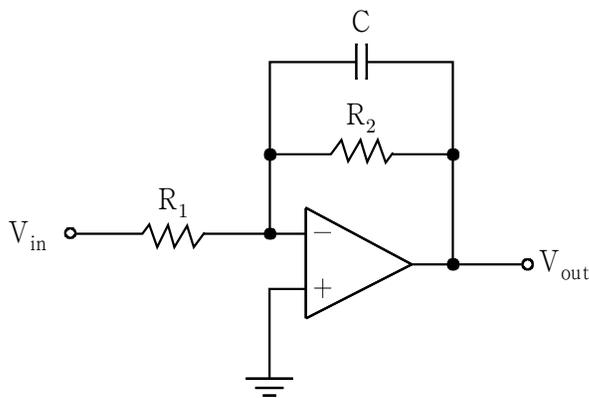
# 전자회로

문 1. 다음 회로의 전압이득( $\frac{V_{out}}{V_{in}}$ )은? (단, 연산증폭기의 특성은 이상적이라고 가정한다)



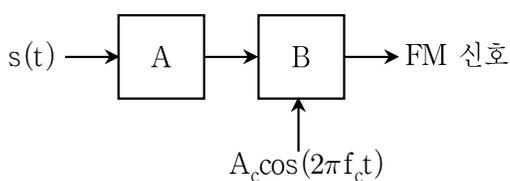
- ①  $-\frac{R_2}{R_1}(1 + \frac{R_5}{R_6})$
- ②  $-\frac{R_2 + R_3}{R_1}(1 + \frac{R_5}{R_6})$
- ③  $-\frac{R_2}{R_1}(1 + \frac{R_5}{R_6 // R_4})$
- ④  $-\frac{R_2 + R_3}{R_1}(1 + \frac{R_5}{R_6 // R_4})$

문 2. 다음 증폭회로가 1 kΩ의 입력저항( $R_{in}$ ), 40 dB의 DC 전압이득 ( $A_{V,DC}$ ),  $\frac{10^6}{2\pi}$  Hz의 단일이득주파수(unity-gain frequency,  $f_t$ )를 가질 때,  $R_2$  [kΩ]와  $C$  [nF] 값에 가장 근사한 것은? (단, 연산 증폭기의 특성은 이상적이라고 가정한다)



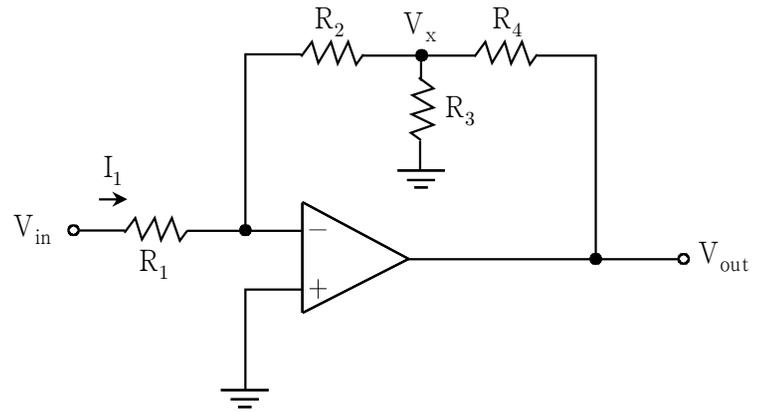
- |                 |                 |
|-----------------|-----------------|
| $\frac{R_2}{C}$ | $\frac{C}{R_2}$ |
| ① 10            | 0.01            |
| ② 10            | 1               |
| ③ 100           | 0.01            |
| ④ 100           | 1               |

문 3. 신호  $s(t)$ 를 다음 시스템에 입력하였을 때, 주파수변조(FM) 신호가 만들어졌다면 블럭 A와 B로 옳은 것은?



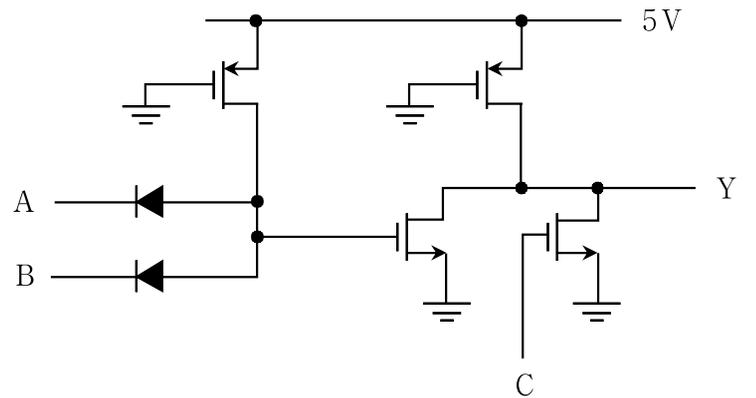
- |          |          |
|----------|----------|
| <u>A</u> | <u>B</u> |
| ① 미분기    | 진폭 변조기   |
| ② 적분기    | 진폭 변조기   |
| ③ 미분기    | 위상 변조기   |
| ④ 적분기    | 위상 변조기   |

문 4. 다음 회로에 대한 해석으로 옳지 않은 것은? (단, 연산증폭기의 특성은 이상적이라고 가정한다)



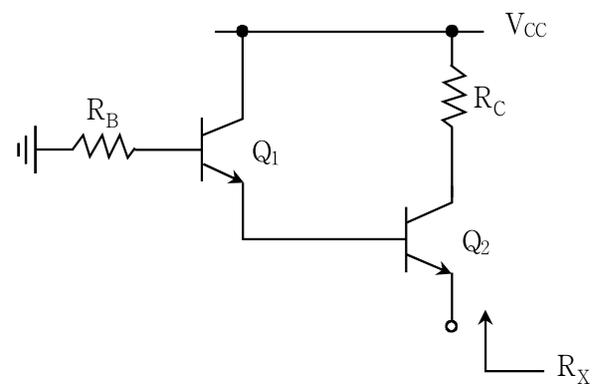
- ①  $V_x = -I_1 R_2$
- ②  $\frac{V_x}{V_{in}} = -\frac{R_2}{R_1}$
- ③  $\frac{V_{out}}{V_x} = 1 + \frac{R_3}{R_4} + \frac{R_2}{R_4}$
- ④  $\frac{V_{out}}{V_{in}} = -\frac{R_2}{R_1}(1 + \frac{R_4}{R_3} + \frac{R_4}{R_2})$

문 5. 다음 논리회로의 입력 A, B, C에 0V 또는 5V 전압이 인가될 때, 출력 Y를 표현한 것으로 옳은 것은? (단, 다이오드의 특성은 이상적이며, NMOS 트랜지스터의 turn-on 저항은 0보다 크고 PMOS 트랜지스터의 turn-on 저항보다는 상당히 작다고 가정한다)



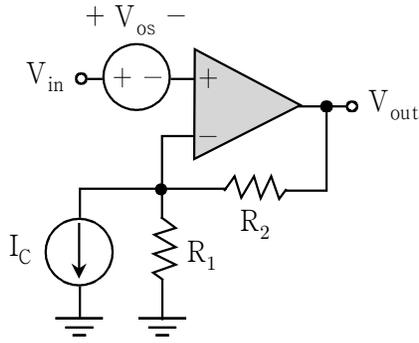
- ①  $\overline{AB+C}$
- ②  $\overline{\overline{AB+C}}$
- ③  $\overline{AB+C}$
- ④  $\overline{(A+B)C}$

문 6. 다음 회로에서 2개의 바이폴라 트랜지스터가 동일하고 열리 전압을 무한대라고 가정하였을 때,  $Q_2$ 의 에미터에서 들여다 본 임피던스  $R_x$ 를 표현한 것으로 가장 근사한 것은? (단,  $\beta \gg 1$ )



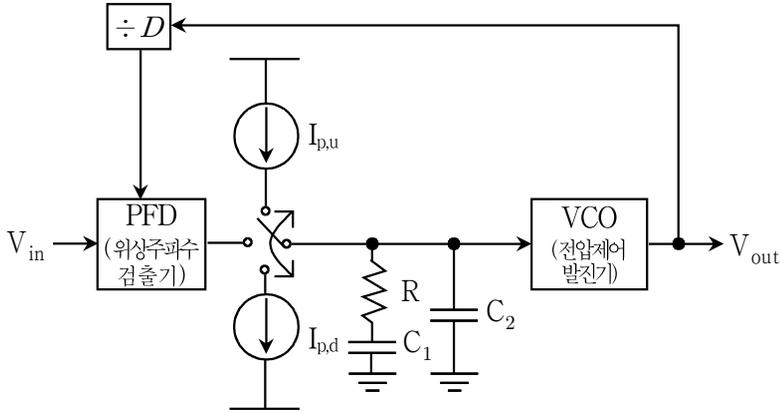
- ①  $\frac{1}{g_{m2}} + R_C$
- ②  $\frac{1}{g_{m2}} + \frac{1}{g_{m1}}$
- ③  $\frac{1}{g_{m2}} + \frac{1}{\beta+1}(\frac{1}{g_{m1}} + \frac{R_B}{\beta+1})$
- ④  $\frac{1}{g_{m2}} + \frac{1}{\beta+1}(\frac{1}{g_{m1}} + R_C + \frac{R_B}{\beta+1})$

문 7. 다음 회로에서 오프셋(offset) 전압  $V_{os}$ 의 영향을 제거할 수 있는  $I_C$ 를 표현한 식으로 옳은 것은? (단, 음영처리 된 연산증폭기의 특성은 이상적인 것으로 가정한다)



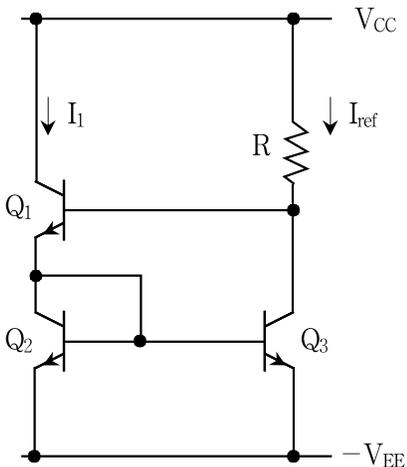
- ①  $(\frac{1}{R_1} + \frac{1}{R_2})V_{os}$
- ②  $(\frac{1}{R_1} - \frac{1}{R_2})V_{os}$
- ③  $\frac{1}{R_1}V_{os}$
- ④  $-\frac{1}{R_2}V_{os}$

문 8. 다음 그림은 위상잠금루프(Phase-Locked Loop, PLL)를 사용한 주파수 합성기 회로의 한 예를 보여주고 있다. 회로에 대한 설명으로 옳지 않은 것은?



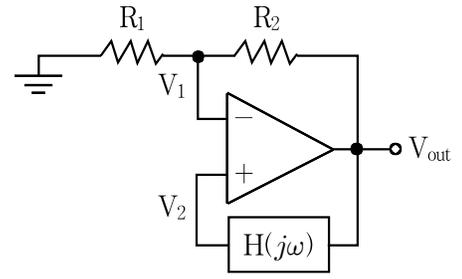
- ① 전하 펌프(charge pump) PLL이며  $R, C_1, C_2$ 로 구성된 부분은 저역통과 필터로도 작용한다.
- ② 출력신호( $V_{out}$ )의 크기는 분주비  $D$ 에 의해 나누어진 후 입력신호( $V_{in}$ )와 비교되며,  $D$ 는 정수만 가능하다.
- ③ 입력신호와 출력신호의 위상이 일치하면 VCO의 제어전압은 일정하게 유지된다.
- ④ 출력신호의 전압 크기는 전류원( $I_{p,u}, I_{p,d}$ )의 크기와 무관하다.

문 9. 다음 회로와 같이 전류이득이  $\beta$ 인 바이폴라 트랜지스터를 이용하여 전류원을 구성하였을 때,  $I_1$ 과  $I_{ref}$ 의 전류 비( $\frac{I_1}{I_{ref}}$ )는? (단, 바이폴라 트랜지스터의 얼리 효과는 없는 것으로 한다)



- ①  $\frac{\beta+2}{\beta}$
- ②  $\frac{\beta}{\beta+2}$
- ③  $\frac{\beta^2+2\beta}{\beta^2+2\beta+2}$
- ④  $\frac{\beta^2+2\beta+2}{\beta^2+2\beta}$

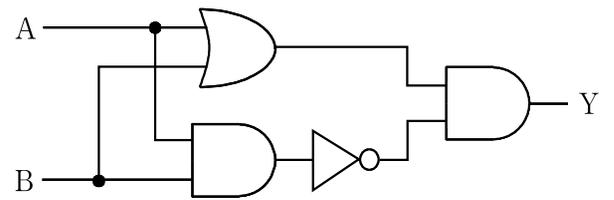
문 10. 다음 회로가 발진하기 위한  $\frac{R_2}{R_1}$ 의 조건으로 가장 옳은 것은?



$$H(j\omega) = \frac{V_2}{V_{out}} = \frac{j\omega RC}{1 - (\omega RC)^2 + j\omega 3RC}$$

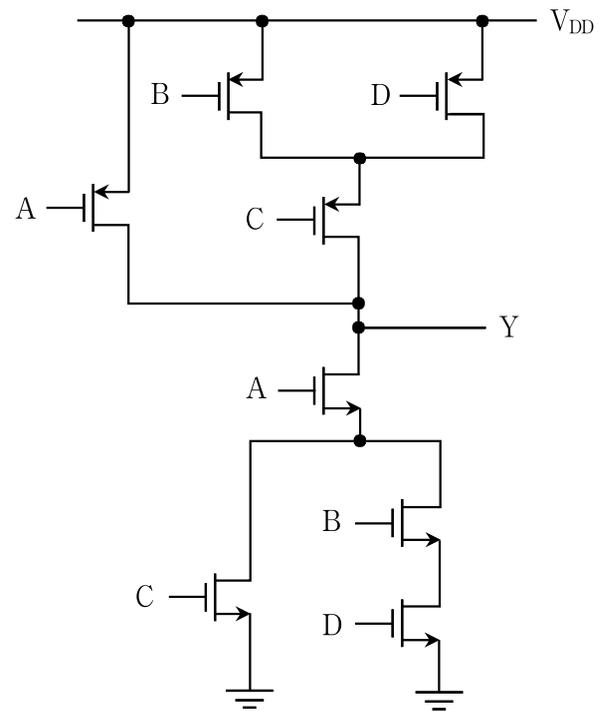
- ①  $\frac{R_2}{R_1} \geq 1$
- ②  $\frac{R_2}{R_1} = 1$
- ③  $\frac{R_2}{R_1} < 2$
- ④  $\frac{R_2}{R_1} \geq 2$

문 11. 다음 논리회로에서  $A = 1011, B = 1001$ 이 입력되었을 때 출력  $Y$ 의 논리값은?



- ① 0111
- ② 0010
- ③ 1111
- ④ 1010

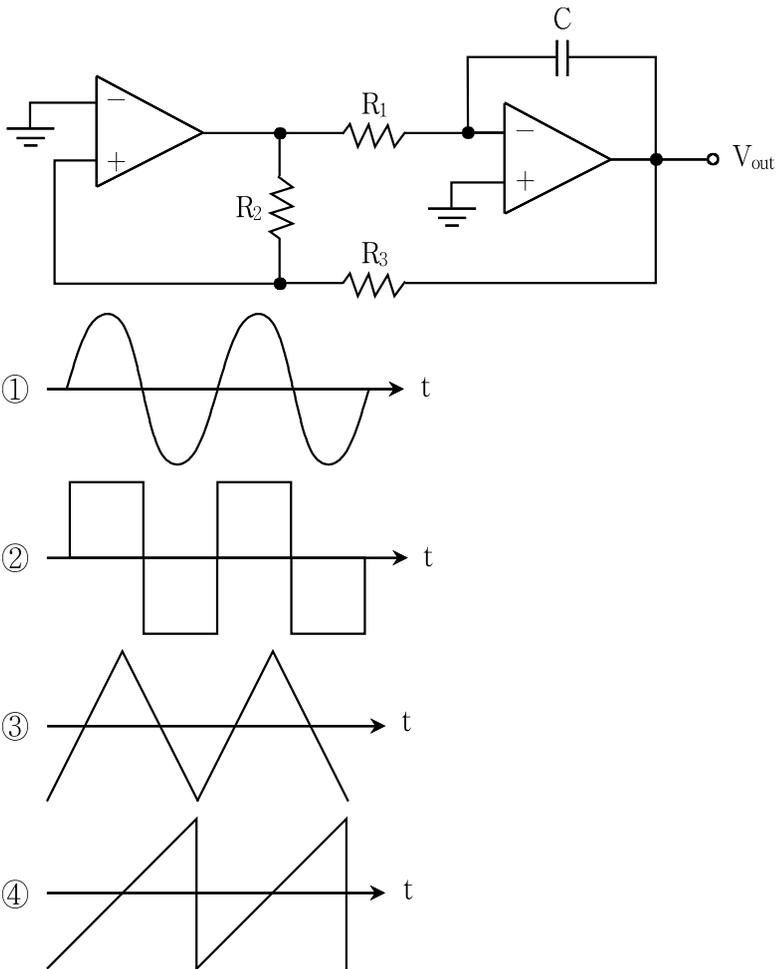
문 12. 다음 논리회로의 출력  $Y$ 를 표현한 것으로 옳은 것은?



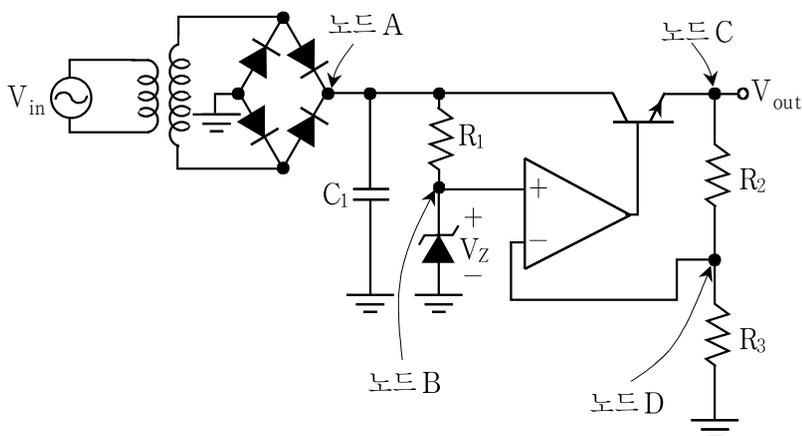
- ①  $\overline{(A+B+D)}C$
- ②  $\overline{ABD+C}$
- ③  $\overline{A+(B+D)}C$
- ④  $\overline{A(BD+C)}$



문 19. 다음 발진기 회로의 출력 파형( $V_{out}$ )으로 가장 옳은 것은?  
(단, 연산증폭기의 특성은 이상적이라고 가정한다)



문 20. 다음 회로에 60 [Hz]의 교류전압이 입력되었을 때, 회로 동작에 대한 설명으로 옳지 않은 것은? (단, 연산증폭기의 특성은 이상적이라고 가정한다)



- ① 노드 A에는 전파(full-wave) 정류된 전압파가 출력되어 커패시터를 충전시키게 되며, 이 때 커패시터의  $C_1$  값을 작게 할수록 리플전압은 작게 된다.
- ② 노드 B의 전압이 제너전압  $V_Z$ 보다 클 때, 제너 다이오드는 도통 상태가 되어 노드 B의 전압이  $V_Z$ 를 유지하게 되며, 이 때 바이폴라 트랜지스터의  $V_{BE}$ 를 무시하면  $V_{out}$ 은  $(1 + \frac{R_2}{R_3})V_Z$ 가 된다.
- ③ 외부 요인으로 노드 C의 전압  $V_{out}$ 이 감소하면,  $\frac{R_3}{R_2 + R_3}V_{out}$ 로 주어지는 노드 D의 전압이 감소하게 되며, 이는 연산증폭기 반전단자의 입력전압의 감소를 일시적으로 초래하게 된다.
- ④ 노드 D의 전압이 감소하면, 연산증폭기의 출력전압은 증가하게 되며, 결과적으로 에미터 전류를 증가시켜  $V_{out}$ 을 증가시키게 된다.