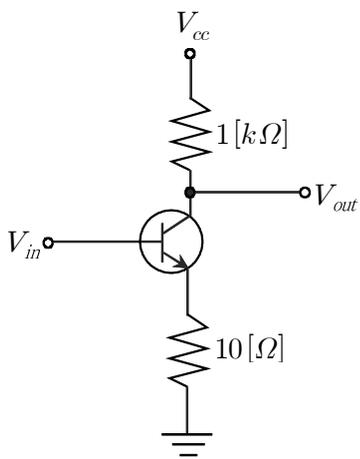


전자공학개론

문 1. 집적회로(IC)에서 BJT보다 CMOS 소자를 많이 사용하는 이유로 옳지 않은 것은?

- ① CMOS가 전력을 적게 소모하기 때문
- ② CMOS가 일반적으로 BJT보다 훨씬 빠르기 때문
- ③ CMOS는 같은 기능을 하는 BJT에 비해 더 작게 만들어 집적하기가 좋기 때문
- ④ CMOS가 잡음에 더 강하기 때문

문 2. 그림과 같은 증폭회로의 입력 임피던스 $R_{in}[k\Omega]$ 는? (단, $h_{ie} = 100[\Omega]$, $h_{fe} = 100$ 이다)

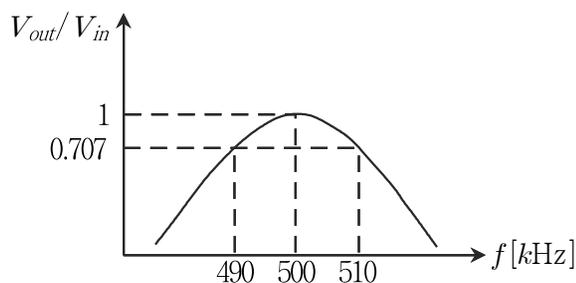


- ① 1.11
- ② 1.01
- ③ 2.11
- ④ 2.01

문 3. 이미터 공통 증폭기의 입력 교류신호(I_b , V_b)에 대한 출력 교류신호(I_c , V_c)의 위상을 나타낸 것은?

- ① 출력교류전류와 출력교류전압이 모두 동위상
- ② 출력교류전류는 역위상, 출력교류전압은 동위상
- ③ 출력교류전류는 동위상, 출력교류전압은 역위상
- ④ 출력교류전류와 출력교류전압이 모두 역위상

문 4. 그림과 같은 대역통과필터의 주파수 응답곡선에서 대역폭 BW[kHz]와 선택도 Q는?

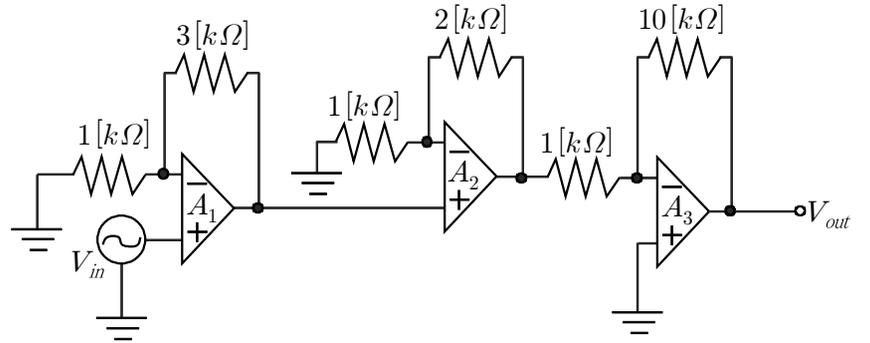


- | BW | Q |
|------|----|
| ① 10 | 50 |
| ② 20 | 50 |
| ③ 10 | 25 |
| ④ 20 | 25 |

문 5. LC 발진회로가 아닌 것은?

- ① 동조형 발진회로
- ② 이상형 발진회로
- ③ 콜피츠 발진회로
- ④ 하틀리 발진회로

문 6. 다음과 같은 다단 증폭기에서 전체 전압이득의 크기는?



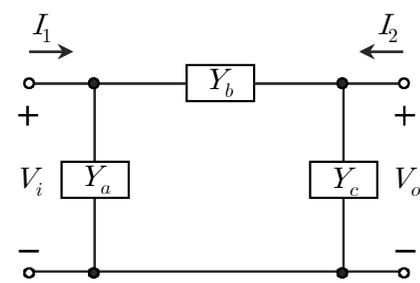
- ① -60
- ② 120
- ③ 60
- ④ -120

문 7. 다음 논리식을 간략화한 것은?

$$P = (A + AB)(A + \bar{A}B)(A + C)$$

- ① A
- ② AB
- ③ A + B
- ④ $\bar{A}B$

문 8. 그림과 같은 4단자망 회로에서 어드미턴스 파라미터(y -parameter)의 입력 단락시 출력 어드미턴스 y_{22} 는?

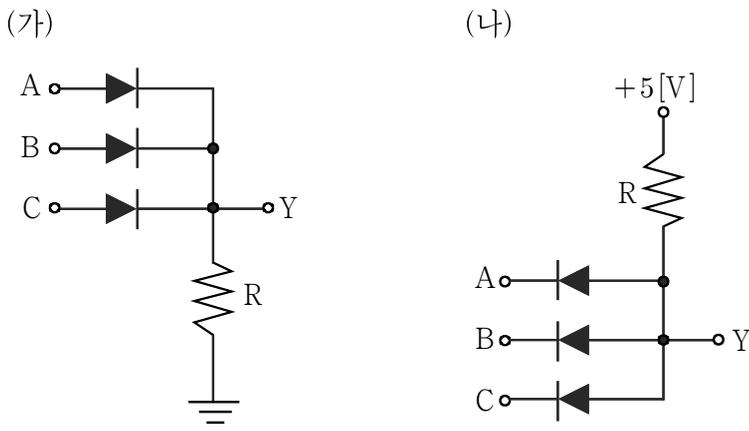


- ① $Y_b - Y_c$
- ② $Y_a - Y_b$
- ③ $Y_b + Y_c$
- ④ $Y_a + Y_b$

문 9. 1차 코일의 권선 수는 200이고 2차 코일의 권선 수는 600인 변압기가 있다. 1차 코일에 100[V]의 전압이 걸릴 때 소비전력이 600[W]였다면, 2차 코일에 흐르는 전류[A]는?

- ① 10
- ② 20
- ③ 1
- ④ 2

문 10. 다음 각 논리회로의 동작을 논리식으로 바르게 표현한 것은?

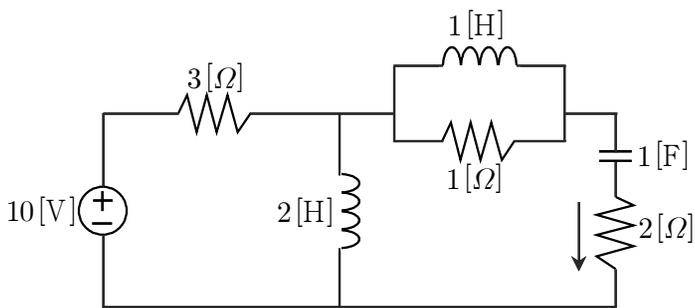


- | | |
|------------------------------|----------------------------|
| (가) | (나) |
| ① $Y = A + B + C$ | $Y = ABC$ |
| ② $Y = ABC$ | $Y = A + B + C$ |
| ③ $Y = \overline{A + B + C}$ | $Y = \overline{ABC}$ |
| ④ $Y = \overline{ABC}$ | $Y = \overline{A + B + C}$ |

문 11. 전기회로의 측정에 관한 설명 중 옳지 않은 것은?

- 전압계는 측정하고자 하는 회로소자에 병렬로 연결해야 하고, 전류계는 측정하고자 하는 회로소자에 직렬로 연결해야 한다.
- 우수한 전압계는 매우 큰 내부저항을 가져야 하고, 우수한 전류계는 매우 작은 내부저항을 가져야 한다.
- 멀티미터의 선택 스위치를 AC에 두고 정현파 신호를 측정하면 그 값은 실효값을 나타낸다.
- 오실로스코프는 측정하고자 하는 신호가 일정한 주파수를 가질 때 사용하는 전압계/전류계이다.

문 12. 다음 회로가 정상상태에 도달하였을 때, 저항 $2[\Omega]$ 을 통해 흐르는 전류값 [A]은? (단, $10[V]$ 는 직류전원이다)



- 2
- 0
- 1
- 5

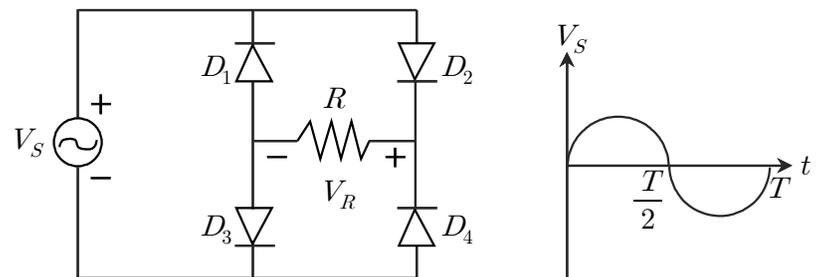
문 13. 차동증폭기에 대한 설명으로 옳지 않은 것은?

- 차동신호의 이득은 작고 공통신호 이득은 클수록 양호한 특성을 얻는다.
- 공통신호제거비의 값이 클수록 차동증폭기의 특성은 우수하다.
- 직류신호에서 고주파 신호까지 증폭이 가능하다.
- 공통신호제거비는 (차동전압의 이득/공통전압의 이득)의 비로 정의된다.

문 14. 실리콘 PN 접합에 대한 설명 중 옳지 않은 것은?

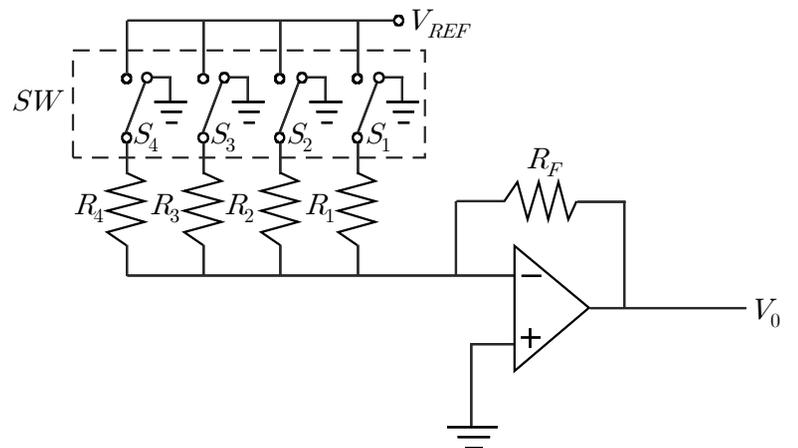
- PN 접합에서 전위장벽은 정공과 전자가 서로 반대영역으로 이동하는 것을 가로막는다.
- PN 접합에서 역방향 전압이 어떤 임계전압값을 넘으면 역방향 전류가 급격히 증가하는 항복현상이 일어난다.
- 전압이 인가되지 않은 PN 접합에서 불순물 농도가 증가할수록 전위장벽은 낮아진다.
- PN 접합에서 공핍층 용량은 접합부에서 생기는 공간전하 영역이 고정된 이온의 형태로 전하를 축적하여 생긴다.

문 15. 다음 회로에서 정현파 입력 전압 V_S 가 인가될 때, 저항 R 에서의 한주기 동안 전압파형 V_R 은? (단, 다이오드의 turn-on 전압은 무시한다)



- Graph 1: V_R vs t showing a full-wave rectified sine wave.
- Graph 2: V_R vs t showing a half-wave rectified sine wave.
- Graph 3: V_R vs t showing a sine wave with period $T/2$.
- Graph 4: V_R vs t showing an inverted half-wave rectified sine wave.

문 16. 그림과 같은 4-bit D/A 변환기의 스위치 S_4, S_3, S_2, S_1 에 2진 신호 '1001'이 인가될 때, 출력전압은?

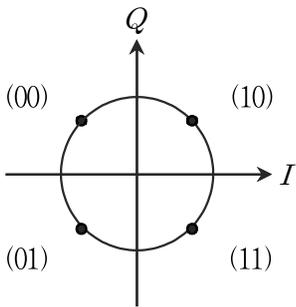


- | | |
|--|--|
| ① $-\left(\frac{R_F}{R_2} + \frac{R_F}{R_3}\right) \times V_{REF}$ | ② $-\left(\frac{R_F}{R_1} + \frac{R_F}{R_4}\right) \times V_{REF}$ |
| ③ $-\left(\frac{R_F}{R_2} + \frac{R_F}{R_4}\right) \times V_{REF}$ | ④ $-\left(\frac{R_F}{R_1} + \frac{R_F}{R_3}\right) \times V_{REF}$ |

문 17. 반도체 소자와 관련된 용어의 설명으로 옳지 않은 것은?

- ① Fermi 준위: Fermi 준위에서 에너지상태는 전자에 의하여 점유될 확률이 50%이다.
- ② Early 효과: BJT 컬렉터접합의 역바이어스 전압이 증가됨에 따라 공간전하층은 베이스의 폭을 더욱 점유하며, 그 결과로 실효 베이스 폭은 감소한다.
- ③ Zener 항복: 고농도 도핑이 이루어진 PN접합이 역바이어스 전압에 의해 전자의 터널링으로 큰 역방향 전류를 형성하게 된다.
- ④ Body 효과: MOSFET 소자에서 기판전압 $V_B \neq 0$ 인 경우, 문턱전압은 소스와 기판 사이의 순방향 전압에 의존한다.

문 18. 그림과 같이 $45^\circ, 135^\circ, 225^\circ, 315^\circ$ 의 위상과 동일한 진폭을 갖는 4개 정현파 심볼이 있다. 이 심볼의 주기당 2비트 정보를 전송하는 디지털 변조방식은?



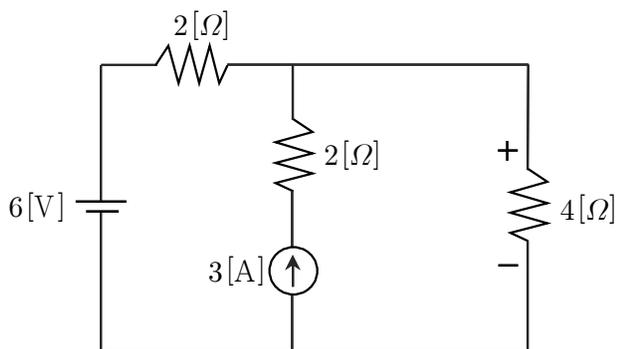
- ① Frequency Shift Keying (FSK)
- ② Binary Phase Shift Keying (BPSK)
- ③ Quadrature Phase Shift Keying (QPSK)
- ④ Amplitude Shift Keying (ASK)

문 19. 다음 빈칸에 들어갈 용어가 바르게 짝지어진 것은?

순차회로에서 에지 트리거(edge trigger) 플립플롭의 안전한 동작을 보장하기 위하여 규정하는 타이밍 규칙이 있다. 클럭의 에지 전에 일정한 시간 동안 입력값이 변하지 않고 그 값을 유지해야 하는 시간을 (㉠)이라 하고, 클럭 에지 이후에도 일정한 시간 동안 입력값이 변하지 않아야 하는 시간을 (㉡)이라 한다.

- | | |
|-----------------------|---------------------|
| ㉠ | ㉡ |
| ① 셋업(setup) 시간 | 에지지연(edge delay) 시간 |
| ② 셋업(setup) 시간 | 홀드(hold) 시간 |
| ③ 에지지연(edge delay) 시간 | 셋업(setup) 시간 |
| ④ 홀드(hold) 시간 | 셋업(setup) 시간 |

문 20. 다음 회로에서 $4[\Omega]$ 저항 양단의 전압 [V]은?



- ① 5
- ② 6
- ③ 8
- ④ 12