

# 전자회로

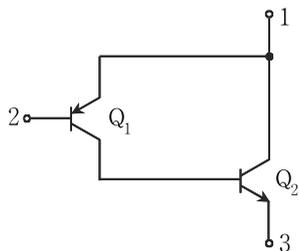
문 1. CMOS 인버터(Inverter)를 설계할 때 NMOS와 PMOS의 채널 길이(Channel Length)를 동일하게 할 경우, PMOS의 넓이(Width)를 NMOS의 넓이(Width)보다 약 2배 정도로 크게 하는 이유로 옳은 것은?

- ① NMOS의 누설 전류(Leakage Current)가 작아서
- ② PMOS의 누설 전류(Leakage Current)가 작아서
- ③ NMOS의 캐리어 이동도(Mobility)가 작아서
- ④ PMOS의 캐리어 이동도(Mobility)가 작아서

문 2. 위상고정루프(Phase-Locked Loop)를 FM 복조기로 사용할 때 복조 출력을 얻을 수 있는 곳은?

- ① 위상 비교기(Phase Comparator)의 입력
- ② 위상 비교기(Phase Comparator)의 출력
- ③ 전압제어 발진기(Voltage-Controlled Oscillator)의 입력
- ④ 전압제어 발진기(Voltage-Controlled Oscillator)의 출력

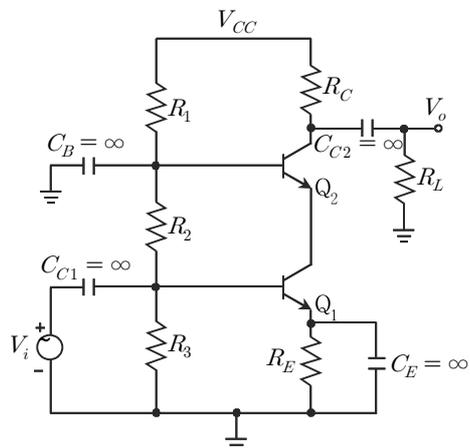
문 3. 다음 회로에서  $Q_1$ 과  $Q_2$ 의 전류 이득이 각각  $\beta_1 = 20$ ,  $\beta_2 = 50$ 이다. 이 회로를 하나의 트랜지스터로 해석할 때 트랜지스터의 종류와 전류 이득은?



- ① NPN,  $\beta = 1050$
- ② PNP,  $\beta = 1050$
- ③ NPN,  $\beta = 1020$
- ④ PNP,  $\beta = 1020$

문 4. 다음 회로의 소신호 전압 이득( $V_o/V_i$ )은?

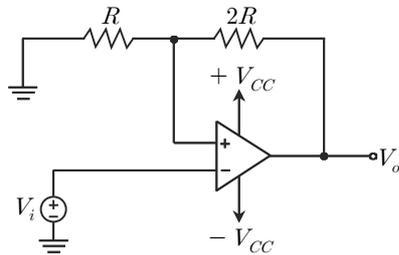
(단,  $Q_1$ 과  $Q_2$ 의 트랜스컨덕턴스는 각각  $g_{m1}$ ,  $g_{m2}$ 이다.  $Q_1$ 과  $Q_2$ 의 출력 저항  $r_{o1}$ 과  $r_{o2}$ 는 무시하고, 공통 베이스 전류 이득  $\alpha_1 \approx 1$ ,  $\alpha_2 \approx 1$ 로 가정한다)



- ①  $-g_{m1}g_{m2}(R_C||R_L)$
- ②  $-g_{m1}(R_C||R_L)$
- ③  $g_{m1}g_{m2}(R_C||R_L)$
- ④  $g_{m1}(R_C||R_L)$

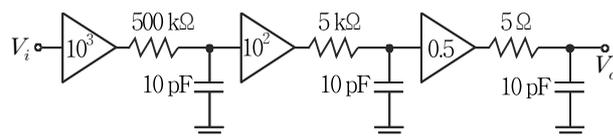
문 5. 다음 회로에 대한  $V_i$ 와  $V_o$ 의 관계를 나타낸 그래프는?

(단, 연산증폭기는 이상적이라고 가정한다)



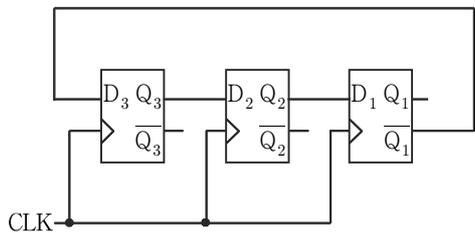
- ①
- ②
- ③
- ④

문 6. 3단 증폭기의 등가모델이 다음과 같을 경우, 입력( $V_i$ )에  $0.01 \cos(2 \times 10^7 t)$  [mV]의 소신호가 인가될 때, 출력( $V_o$ )에 나타나는 신호로 가장 적절한 것[mV]은?



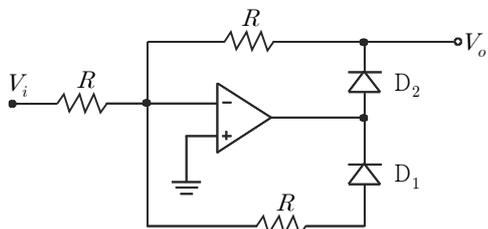
- ①  $3.5 \cos(2 \times 10^7 t - 0.75\pi)$
- ②  $5.5 \cos(2 \times 10^7 t - 0.5\pi)$
- ③  $7.5 \cos(2 \times 10^7 t - 0.75\pi)$
- ④  $9.5 \cos(2 \times 10^7 t - 0.5\pi)$

문 7. 다음 그림과 같은 플립플롭 회로에 대한 설명 중 옳지 않은 것은?



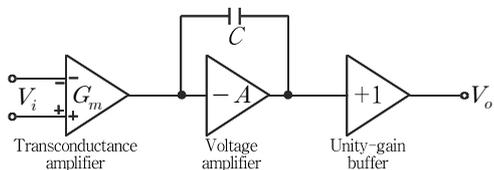
- ① 반전된 피드백을 가진 쉬프트 레지스터로 존슨 카운터 (Johnson Counter)라고 한다.
- ② 마지막 플립플롭(D<sub>1</sub>) 출력  $\overline{Q_1}$ 이 첫 플립플롭 입력(D<sub>3</sub>)으로 피드백된 3비트 레지스터이다.
- ③ 초기 출력상태  $Q_3Q_2Q_1 = 000$  이면  $100 \rightarrow 110 \rightarrow 111 \rightarrow 011 \rightarrow 001$  순서로 출력상태가 변한다.
- ④ 레지스터가  $Q_3Q_2Q_1 = 010$  상태에서 CLK이 입력되면 011 상태가 되고, 반대의 경우도 성립한다.

문 8. 다음 회로에서  $V_i$ 에 대한  $V_o$ 의 전달 특성으로 옳은 것은?  
(단, 연산증폭기와 다이오드는 이상적이라고 가정한다)



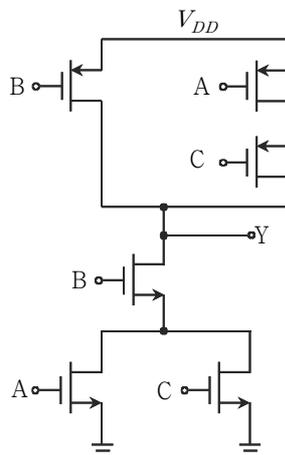
- ①  $V_o = \begin{cases} -V_i, & V_i > 0 \\ V_i, & V_i < 0 \end{cases}$
- ②  $V_o = \begin{cases} 0, & V_i > 0 \\ -V_i, & V_i < 0 \end{cases}$
- ③  $V_o = \begin{cases} V_i, & V_i > 0 \\ 0, & V_i < 0 \end{cases}$
- ④  $V_o = \begin{cases} -V_i, & V_i > 0 \\ 0, & V_i < 0 \end{cases}$

문 9. 다음 그림은 트랜스컨덕턴스 증폭기, 전압 증폭기, 단위 이득 버퍼로 구성된 IC(Integrated Circuit) 연산증폭기의 내부 구조를 보여주고 있다. 둘째 단 전압 증폭기의 전압 이득이 무한대라고 가정할 때 단위 이득 주파수  $f_t$ [Hz]는?  
(단,  $G_m$ 은 트랜스컨덕턴스,  $A$ 는 전압 이득,  $C$ 는 주파수 보상용 캐패시터이다. 트랜스컨덕턴스 증폭기와 전압 증폭기 및 단위 이득 버퍼는 이상적이라고 가정한다)



- ①  $\frac{C}{2\pi G_m}$
- ②  $\frac{G_m}{2\pi C}$
- ③  $\frac{G_m C}{2\pi}$
- ④  $\frac{1}{2\pi G_m C}$

문 10. 다음 회로의 출력 Y를 입력 A, B, C의 함수로 나타내면?



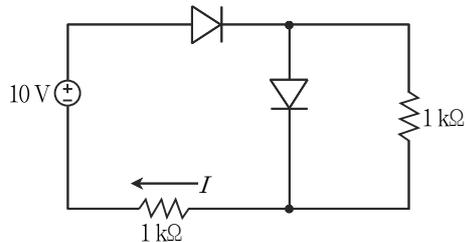
- ①  $\overline{A} \overline{C} + \overline{B}$
- ②  $A C + B$
- ③  $\overline{B}(A + C)$
- ④  $B(A + C)$

문 11. CMOS를 이용한 논리회로 설계에 대한 다음 설명 중 옳지 않은 것은?

- ① Pull-up network는 출력을 high로 만드는 역할을 하며 PMOS 트랜지스터로 구성된다.
- ② Pull-down network는 출력을 low로 만드는 역할을 하며 NMOS 트랜지스터로 구성된다.
- ③ 정적(Static) 전력소비는 이상적으로 없지만 동적(Dynamic) 전력소비는 공급전압의 제곱에 비례하여 증가한다.
- ④ 전파 지연(Propagation Delay)은 저레벨에서 고레벨로의 전파 지연(Low-to-High Propagation Delay)과 고레벨에서 저레벨로의 전파 지연(High-to-Low Propagation Delay) 중 큰 값으로 정한다.

문 12. 다음 회로에서 전류 I 값[mA]은?

(단, 회로에서 사용된 다이오드의 순방향 전압은 0.7 V이다)

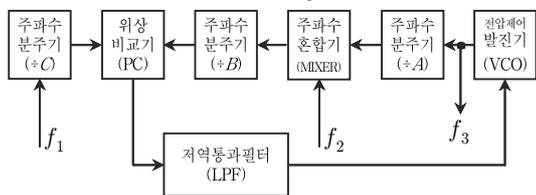


- ① 0.7
- ② 5.0
- ③ 8.6
- ④ 9.3

문 13. 고주파대역 3-dB 주파수(Corner Frequency)가 1 GHz인 1단 증폭기 2개를 중속(Cascade)으로 연결하여 2단 증폭기를 구성할 때, 2단 증폭기의 3-dB 주파수로 가장 적절한 것[MHz]은?

- ① 250
- ② 500
- ③ 640
- ④ 1000

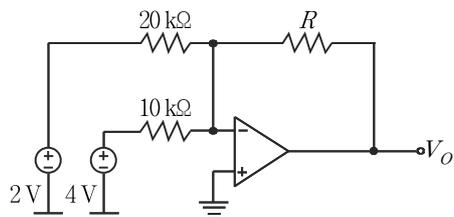
문 14. 다음 회로에서 발진 주파수  $f_3$ 로 가장 적절한 것은?



- ①  $A\left(\frac{B}{C}f_1 + f_2\right)$
- ②  $\frac{f_1}{C}$
- ③  $\frac{f_1}{C} + \frac{f_2}{B}$
- ④  $\frac{1}{A}\left(\frac{f_1}{C} - \frac{f_2}{B}\right)$

문 15. 다음 회로에서  $V_o = -5V$ 라면,  $R$ 의 값[kΩ]은?

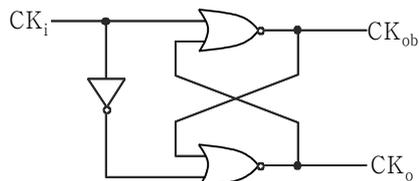
(단, 연산증폭기는 이상적이라고 가정한다)



- ① 10
- ② 15
- ③ 20
- ④ 25

문 16. 다음 클럭(Clock) 변조회로의 기능으로 옳은 것은?

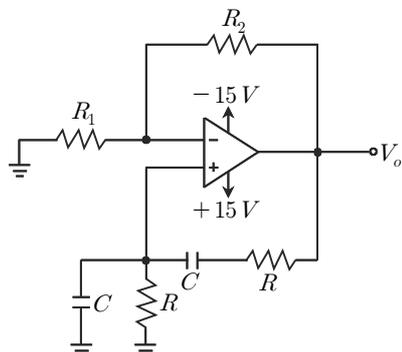
(단, 인버터의 지연시간과 NOR의 지연시간을 고려한다)



- ①  $CK_i$ 를 2분주하여  $CK_o$ 와  $CK_{ob}$ 의 차동클럭으로 나누는 회로
- ② 듀티(Duty)가 50%인 차동클럭  $CK_o$ 와  $CK_{ob}$ 를 만드는 회로
- ③  $CK_o$ 와  $CK_{ob}$ 의 하이(High) 구간을 겹치지 않게 하는 회로
- ④  $CK_o$ 와  $CK_{ob}$ 의 로우(Low) 구간을 겹치지 않게 하는 회로

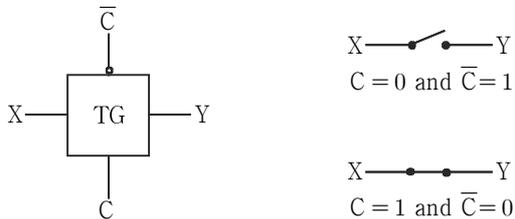
문 17. 다음 연산증폭기를 이용한 사인과 발진기 회로에 대한 설명으로 옳은 것은?

(단, 연산증폭기는 이상적이라고 가정한다)

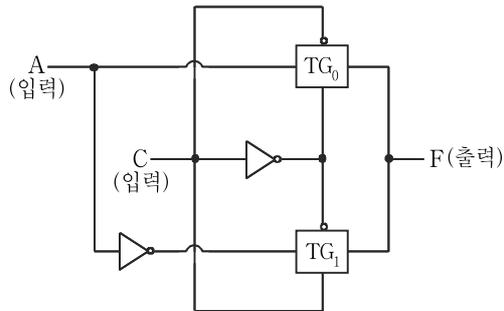


- ① 리미터 회로를 포함하는 윈 브리지 발진기이다.
- ② 발진을 지속하기 위해서는  $R_2/R_1 = 2$ 로 선택되어야 한다.
- ③ 특정한 한 주파수에서 발진하기 위해서 루프 이득의 크기는 0이어야 한다.
- ④ 이 회로의 발진 주파수는  $\omega_o = 1/(2RC)$ 이다.

문 18. 전송 게이트(Transmission Gate)는 그림과 같이  $C = 1$ 일 때 X의 값이 Y로 전송되는 논리회로이다.

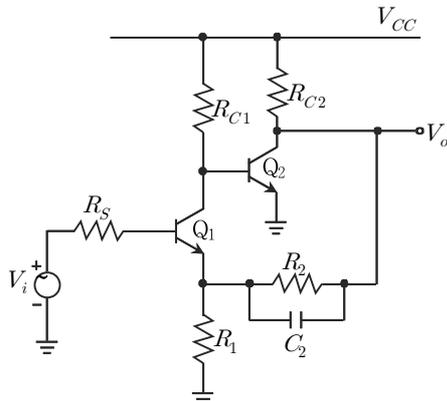


위의 전송 게이트를 이용한 다음 논리회로가 수행하는 논리 연산은?



- ① OR
- ② NOR
- ③ XOR
- ④ XNOR

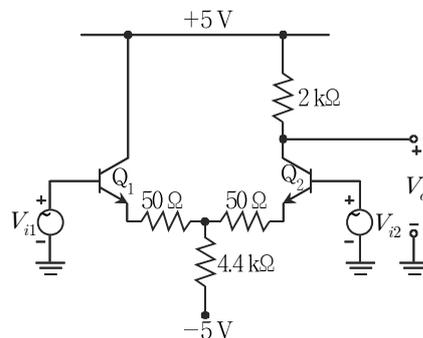
문 19. 다음 증폭 회로에 대한 설명 중 옳지 않은 것은?



- ① 적정값의  $C_2$ 를 사용하여 위상 여유를 개선할 수 있다.
- ②  $C_2$ 의 연결에 의하여 루프 이득에 영점(Zero)이 하나 추가된다.
- ③  $C_2$ 를 증가시키면 고주파 신호의 출력 전압 이득이 증가한다.
- ④  $R_2$ 를 증가시키면 루프 이득은 감소한다.

문 20. 다음 회로의 CMRR(동상신호 제거율)로 가장 적절한 것은?

(단, 트랜지스터  $Q_1$ 과  $Q_2$ 에서  $\beta = 100$ ,  $V_{BE} = 0.6V$ , 열전압  $V_T = 25mV$  이고, 트랜지스터의 출력 저항  $r_o$ 는 무시한다)



- ① 15
- ② 22
- ③ 34
- ④ 44