

전자공학개론

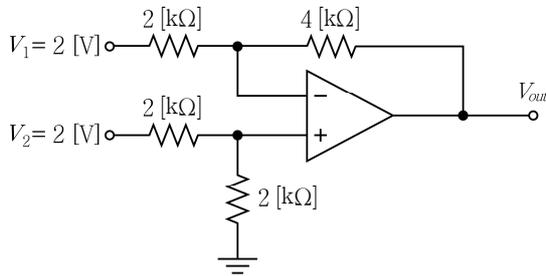
문 1. 이상적인 연산증폭기의 특성에 대한 설명으로 옳지 않은 것은?

- ① 반전 입력단자와 비반전 입력단자 사이의 입력측 저항은 무한대이다.
- ② 출력단자와 접지면 사이에서 출력측 저항은 0이다.
- ③ 전류이득의 크기는 무한대이다.
- ④ 주파수 대역폭이 무한대이다.

문 2. PN 접합 다이오드에 대한 설명으로 옳은 것은?

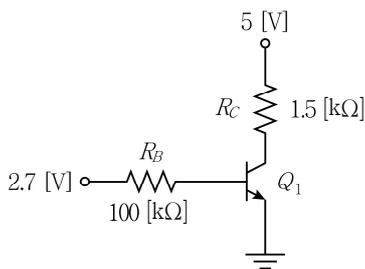
- ① 순방향 바이어스가 인가되면 공핍영역 폭이 넓어진다.
- ② 순방향 바이어스가 인가되면 P형 영역의 정공만이 N형 쪽으로 주입된다.
- ③ 역방향 바이어스가 증가하면 접합부 정전용량은 작아진다.
- ④ 역방향 바이어스가 증가하면 공핍영역의 양이온과 음이온 사이에 발생하는 전기의 세기는 감소한다.

문 3. 다음 회로에서 출력전압 V_{out} [V]는? (단, 연산증폭기는 이상적이다)



- ① 2
- ② 1
- ③ 0
- ④ -1

문 4. 다음 증폭기 회로에서 트랜지스터 Q_1 의 컬렉터-이미터 전압 V_{CE} [V]는? (단, $\beta_{DC} = 100$, $V_{BE} = 0.7$ [V]이다)

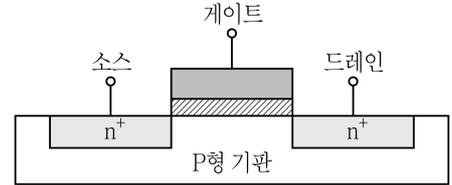


- ① 1.5
- ② 2
- ③ 2.5
- ④ 3

문 5. 귀환발진기에 대한 설명으로 옳지 않은 것은?

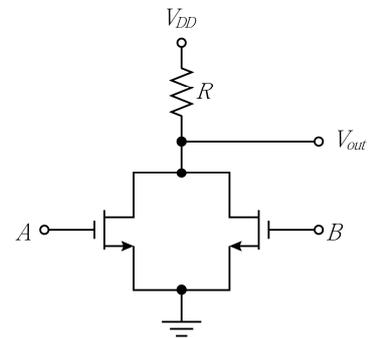
- ① 초기 트리거 신호가 주어진 후 외부 입력신호가 지속적으로 인가되지 않더라도 특정 주파수를 갖는 파형을 만들어내는 회로이다.
- ② 특정 주파수에서 발진이 지속적으로 유지되기 위해서는 폐귀환 루프이득(loop gain)의 크기가 1이고, 루프의 위상변이(phase shift)가 0°이어야 한다.
- ③ RC 귀환발진기와 LC 귀환발진기는 모두 정현파(sinusoidal waveform)를 만들 수 있다.
- ④ 귀환발진기 회로의 양호도(Q factor)는 파형 크기의 안정성(amplitude stability)을 나타낸다.

문 6. 다음 증가형(enhancement) MOSFET이 포화영역에서 동작할 때, 이에 대한 설명으로 옳지 않은 것은?



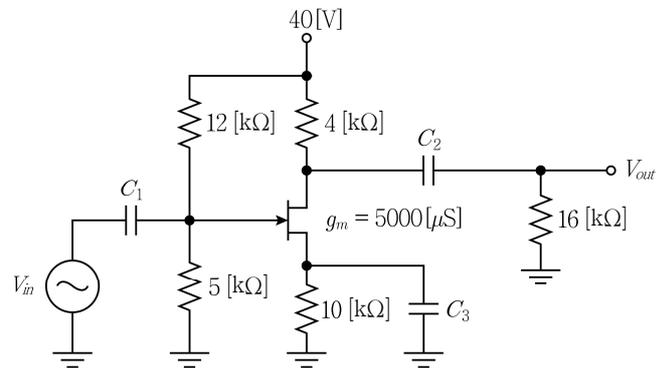
- ① 드레인은 소스보다 높은 전위를 가진다.
- ② 전자가 드레인에서 소스로 흘러 전류가 발생한다.
- ③ 게이트는 소스보다 높은 전위를 가진다.
- ④ n채널이 만들어지는 NMOS 트랜지스터이다.

문 7. 다음 디지털 논리게이트에 대한 설명으로 옳은 것은? (단, $V_{DD} = +5$ [V]이고, 입력과 출력은 논리적 '1'일 때 $V = +5$ [V], '0'일 때 $V = 0$ [V]이다)



- ① 두 개의 NMOS로 구성된 OR 게이트
- ② 두 개의 PMOS로 구성된 NOR 게이트
- ③ 두 입력 A와 B가 모두 논리적 '0'일 때만 출력 '1'을 만족하는 NOR 게이트
- ④ 두 입력 A와 B가 모두 논리적 '1'일 때만 출력 '0'을 만족하는 NAND 게이트

문 8. 다음 JFET 증폭회로의 전압이득의 크기는? (단, 트랜지스터 자체의 출력저항 r_o 는 무시한다)



- ① 8
- ② 16
- ③ 32
- ④ 48

