

전자회로

문 1. 입력신호와 출력신호의 위상이 180° 다른 증폭기는?

- ① 공통 소스(common source) 증폭기
- ② 공통 게이트(common gate) 증폭기
- ③ 소스 폴로어(source follower) 증폭기
- ④ 공통 컬렉터(common collector) 증폭기

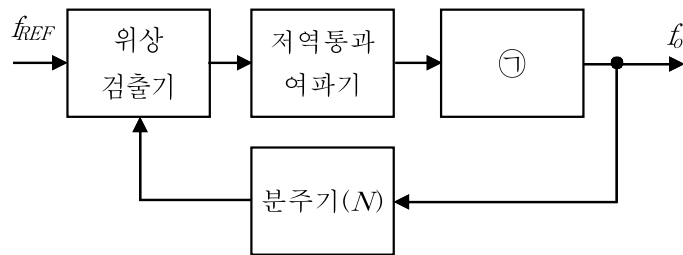
문 2. FET에 대한 설명으로 옳지 않은 것은?

- ① FET의 전류는 게이트에 인가된 전압에 의해 제어된다.
- ② FET는 단극성(unipolar) 트랜지스터이다.
- ③ MOSFET은 BJT에 비해 작게 만들 수 있다.
- ④ JFET는 드레인-소스 간에 전압을 인가해도 $V_{GS} = 0\text{ V}$ 일 때 전류가 흐르지 않는다.

문 3. $R = 10\text{ k}\Omega$, $L = 0.1\text{ mH}$, $C = 0.01\text{ }\mu\text{F}$ 인 병렬공진 회로에서 Q값은?

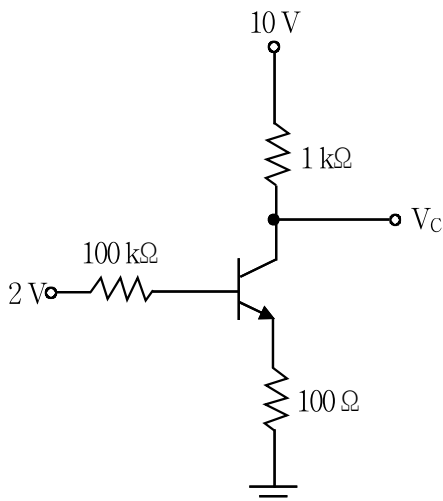
- ① 10
- ② 100
- ③ 1,000
- ④ 10,000

문 4. 다음 그림은 위상동기루프(Phase Locked Loop, PLL)를 이용한 주파수 발생기 회로이다. ㉠ 부분의 명칭과 f_o 의 값으로 옳은 것은?



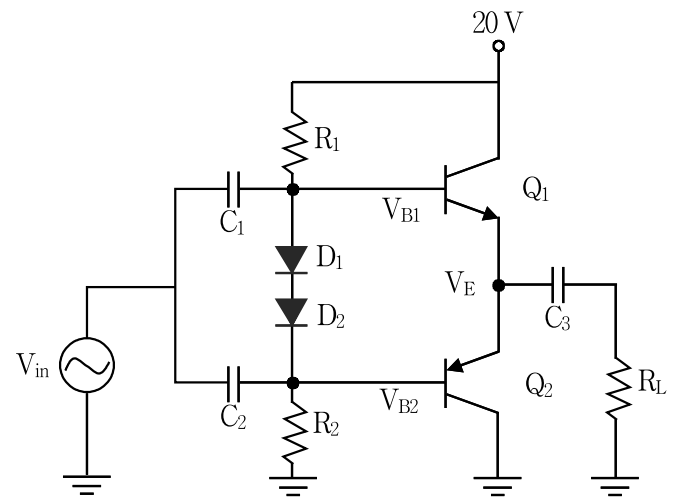
- | | |
|------------------|-------------|
| ㉠ | f_o |
| ① 증폭기(amplifier) | f_{REF}/N |
| ② 전압제어발진기(VCO) | f_{REF}/N |
| ③ 증폭기(amplifier) | Nf_{REF} |
| ④ 전압제어발진기(VCO) | Nf_{REF} |

문 5. 그림과 같은 공통 이미터(common emitter) 증폭기에서 컬렉터(collector) 전압(V_C)[V] 값으로 가장 가까운 것은? (단, $\beta = 99$, $V_{BE} = 0.7\text{ V}$ 이다)



- ① 5.83
- ② 6.83
- ③ 7.83
- ④ 8.83

문 6. 다음의 전력증폭기 회로에서 D_1 과 D_2 의 특성이 Q_1 과 Q_2 의 베이스-이미터 접합부의 특성과 일치할 때, 베이스 전압 V_{B1} [V], V_{B2} [V]와 이미터 전압 V_E [V]를 각각 구한 것은? (단, $R_1 = R_2$, $C_1 = C_2$, $V_{BE1} = V_{BE2} = 0.7\text{ V}$ 이다)

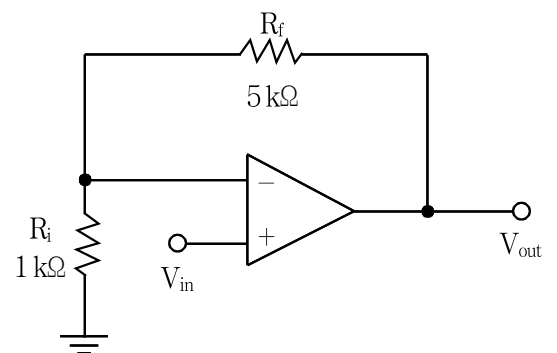


- | | | | |
|---|----------|----------|-------|
| | V_{B1} | V_{B2} | V_E |
| ① | 9.3 | 10.7 | 10 |
| ② | 10.7 | 9.3 | 5 |
| ③ | 10.7 | 9.3 | 10 |
| ④ | 9.3 | 10.7 | 5 |

문 7. CMOS 공정기술이 발전하면서 MOSFET의 채널길이가 이산화규소(SiO_2)층의 두께가 계속 줄어들고 있다. 이에 대한 설명으로 옳은 것은?

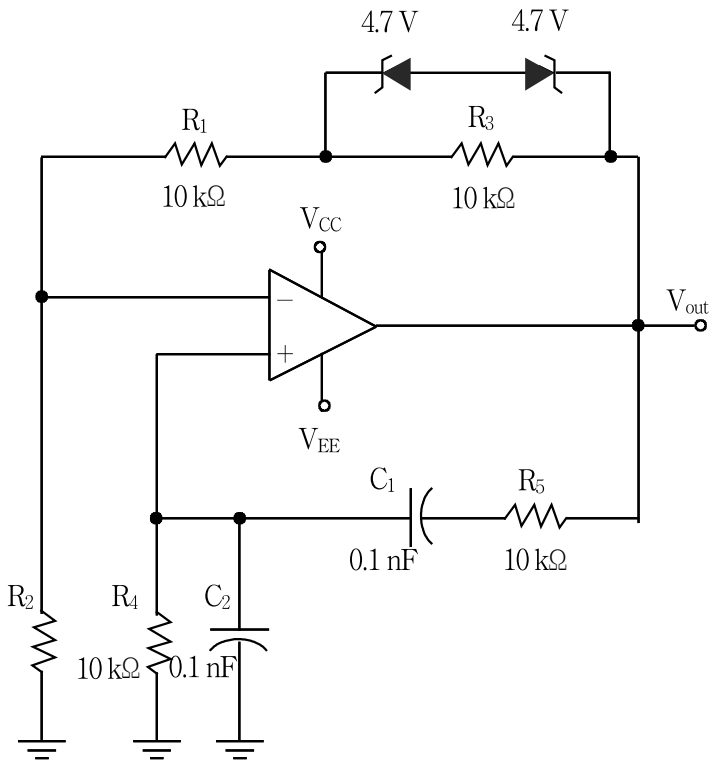
- ① MOSFET의 게이트 항복전압이 커진다.
- ② 메모리소자의 집적도 증가와는 상관없다.
- ③ MOSFET의 동작주파수가 증가하여 초고주파 증폭회로에 유리하다.
- ④ MOSFET의 단채널효과(short channel effect)가 줄어든다.

문 8. 연산증폭기의 개루프 이득이 100 dB이고 단위이득 대역폭이 3 MHz인 경우 다음 증폭기 회로의 대역폭[kHz]은?



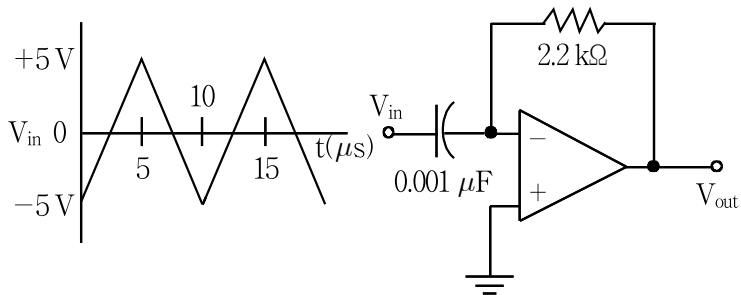
- ① 50
- ② 60
- ③ 500
- ④ 600

문 9. 다음 윈브리지 발진기 회로에서 발진주파수[kHz]와 자기시동 조건을 만족하는 저항 $R_2[k\Omega]$ 는?



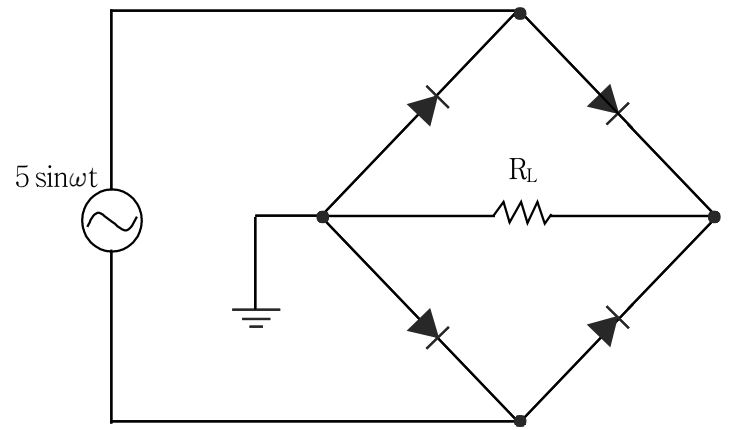
- | | 발진주파수 | R_2 |
|---|-------|-------|
| ① | 159 | 5 |
| ② | 159 | 15 |
| ③ | 795 | 5 |
| ④ | 795 | 15 |

문 10. 다음 회로에 알맞은 입출력 파형은?



- | | | | |
|---|--|---|--|
| ① | | ② | |
| ③ | | ④ | |

문 11. 다음의 브릿지 정류회로에서 각 다이오드의 양단에 걸리는 최대 역전압[V]은? (단, Si 다이오드로 구성되어 있으며 전압강하는 0.7V이다)



- | | |
|-------|-------|
| ① 0.7 | ② 1.4 |
| ③ 4.3 | ④ 8.6 |

문 12. 다음 논리식을 간단히 한 것으로 옳은 것은?

$$f = (A + B)(A + \bar{B})(\bar{A} + B)(\bar{A} + \bar{B})$$

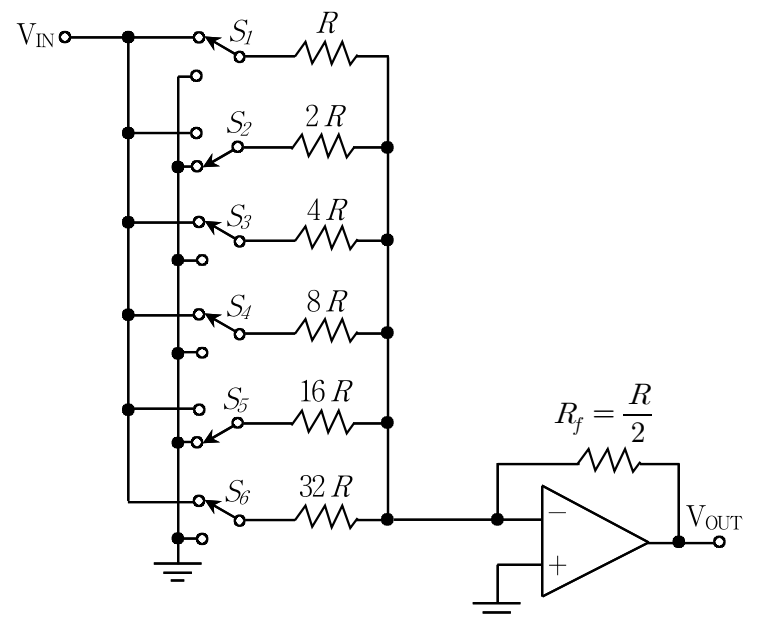
- | | |
|-----------|-----------------------|
| ① $A + B$ | ② $\bar{A} + \bar{B}$ |
| ③ 1 | ④ 0 |

문 13. 다음 카르노맵에 대한 논리식은?

AB \ CD	00	01	11	10
00	0	1	1	0
01	1	0	0	1
11	0	0	0	0
10	0	1	1	0

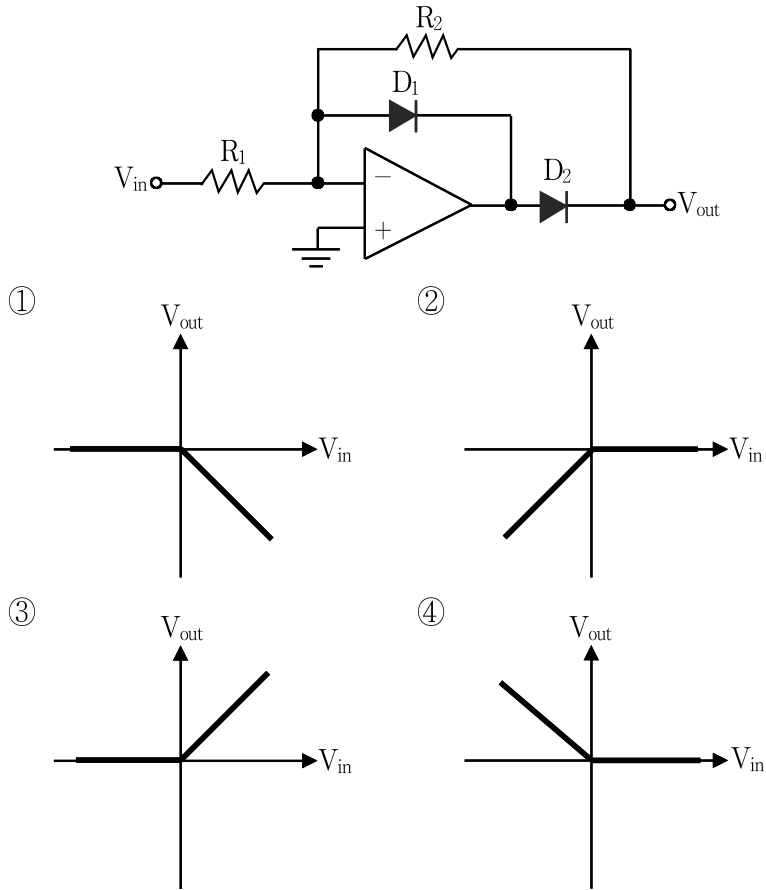
- | | |
|--|--|
| ① $B\bar{D} + \bar{B}\bar{C}\bar{D}$ | ② $B\bar{D} + \bar{B}\bar{C}\bar{D}$ |
| ③ $(\bar{B} + D)(\bar{B} + \bar{C} + D)$ | ④ $(B + \bar{D})(\bar{B} + \bar{C} + \bar{D})$ |

문 14. 다음 회로의 입력전압(V_{IN})과 출력전압(V_{OUT})의 관계로 옳은 것은? (단, 연산증폭기는 이상적이다)

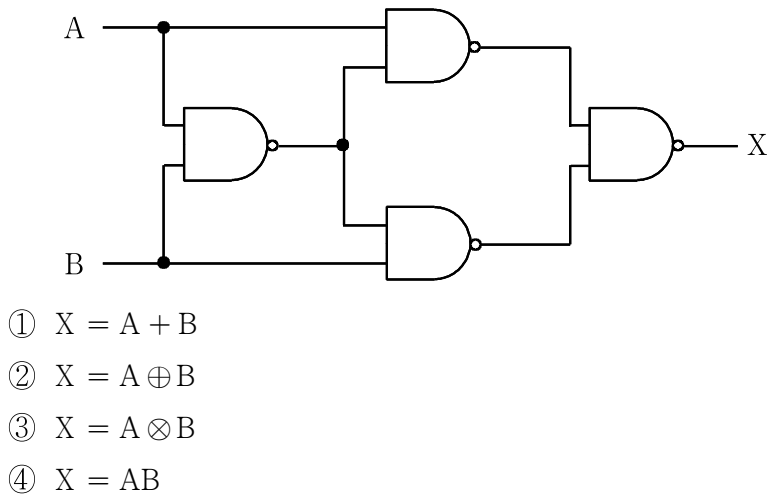


- | | |
|------------------------------------|------------------------------------|
| ① $V_{OUT} = -\frac{43}{64}V_{IN}$ | ② $V_{OUT} = -\frac{44}{64}V_{IN}$ |
| ③ $V_{OUT} = -\frac{45}{64}V_{IN}$ | ④ $V_{OUT} = -\frac{46}{64}V_{IN}$ |

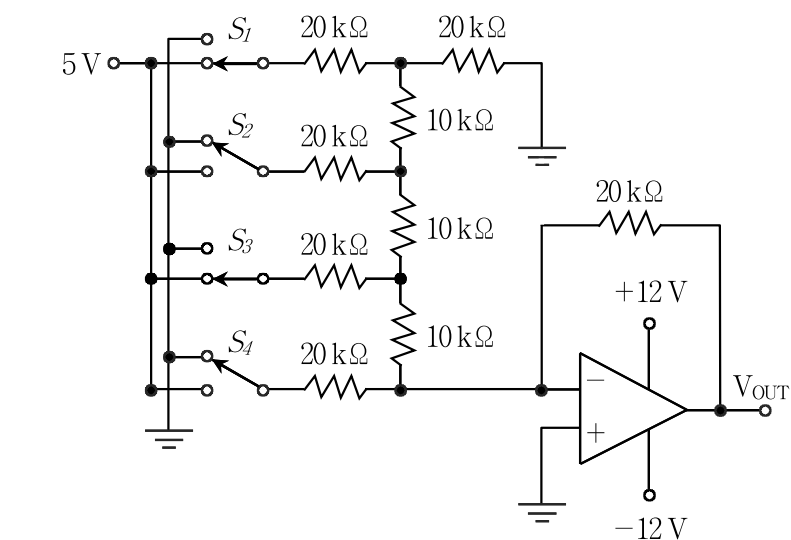
문 15. 다음 회로의 입력전압(V_{in})에 대한 출력전압(V_{out})의 관계로 옳은 것은?



문 16. 다음 논리회로의 출력식으로 옳은 것은?

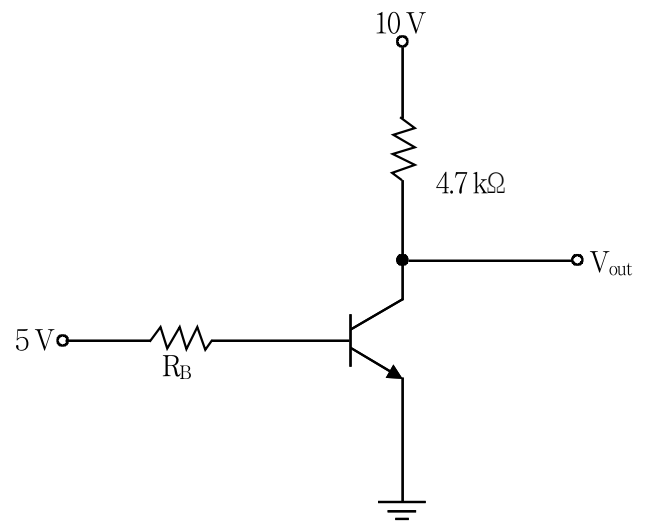


문 17. 다음 회로는 R/2R 사다리(ladder)형 D/A(Digital to Analog) 변환기이다. 이 변환기의 출력전압(V_{OUT})[V] 값은?



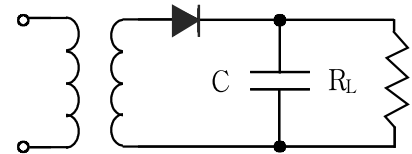
- ① -3.125
- ② -3.75
- ③ -5.625
- ④ -6.25

문 18. 다음 회로에서 트랜지스터가 포화상태를 유지하기 위한 베이스 저항(R_B)[kΩ]의 최대값에 가장 근접한 것은? (단, $\beta = 100$, $V_{BE} = 0.7\text{ V}$, $V_{CE(sat)}$ 는 무시한다)



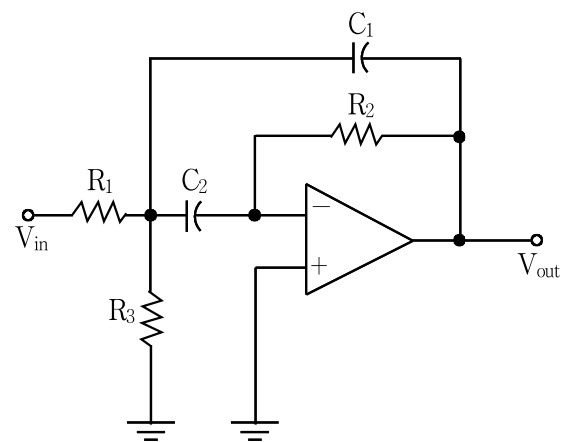
- ① 200
- ② 300
- ③ 400
- ④ 1,000

문 19. 다음의 검파회로에서 입력반송파 주파수는 50 MHz, 부하저항(R_L)은 10 kΩ이다. 이 때 시상수가 반송파 주기의 8배가 되기 위한 C[pF]값은?



- ① 8
- ② 12
- ③ 16
- ④ 18

문 20. 다음 Multiple-feedback 회로에 대한 설명으로 옳은 것을 모두 고르면? (단, $C_1 = C_2$, $R_1 < R_2$ 이다)



- ㄱ. R_1 과 C_1 의 관계는 high-pass filter이다.
- ㄴ. R_2 와 C_2 의 관계는 low-pass filter이다.
- ㄷ. 전체 회로는 band-pass filter이다.
- ㄹ. 전체 회로는 band-stop filter이다.

- ① ㄷ
- ② ㄹ
- ③ ㄱ, ㄴ, ㄷ
- ④ ㄱ, ㄴ, ㄹ